ADVANCED SEMICONDUCTOR SEMINAR

第22回 先端半導体セミナー

2026.11.18 （水）
9:30–11:00

熊本大学 黒髪南キャンパス
黒髪南W11（D-Square）1階 講義室1-1
キャンパスマップ：55番の建物

LECTURE TITLE

Compute scaling beyond 2nm
（2nm以降のロジック微細化ロードマップ）

SPEAKER



ジュリアン・ライカート 氏
（Julien Ryckaert）
ベルギー Interuniversity Microelectronics Centre（IMEC） Vice President R&D

SPEAKER



アニタ・ファロクネジャド 氏
（Anita Farokhnejad）
ベルギー Interuniversity Microelectronics Centre（IMEC） DTCO/STCO Program Manager

講演概要

本講演では、2nmを超えるCMOSスケーリングのロードマップについて概説する。CMOSロードマップでは、フィンFETからナノシートGAAへのデバイスアーキテクチャの移行が数回行われ、さらにフォークシートGAAによる改良を経て、最終的にはCFETデバイスへと至る。本講演では、設計技術の共同最適化（Design Technology Co-Optimization）フレームワークを通じて、こうした進化の背景にある動機について考察する。このデバイス・ロードマップを超えて、3Dロジックの積層が新たな包括的な原則となることが期待される新たなスケーリングの道筋、すなわち「CMOS 2.0」が台頭しつつある。これによりロードマップの継続性は確保されるが、システム技術の共同最適化（System-Technology Co-Optimization）フレームワークの構築が必要となる。

In this talk we will review the CMOS scaling roadmap beyond 2nm. The CMOS roadmap will see several device architecture transitions from finFET to Nanosheet GAA, further with the Forksheet GAA enhancement then finally the CFET device. We will explore the motivations behind these evolutions through the Design Technology Co-Optimization framework. Beyond this device roadmap a new scaling trajectory is emerging where 3D Logic stacking is expected to become the new overarching principle: CMOS 2.0. This will ensure the continuity of the roadmap but will require a System-Technology Co-Optimization framework to be put in place.

講演者紹介：ジュリアン・ライカート 氏

学位	ブリュッセル自由大学（VUB）で博士号を取得
2000年	ミックスド・シグナル設計者としてIMECに入社
2010年	プロセス技術部門に移り、3DIC技術の設計イネーブルメントを担当
2013年	先進CMOS技術ノード向けのimecの設計・技術協調最適化（DTCO）プラットフォームの責任者に就任
2018年	3nm技術ノードを超えるスケーリングとCMOSの3Dスケーリング拡張に焦点を当てたプログラムディレクターに就任

現在の役職｜ コンピュータ・スケーリング担当のロジック部門のVice Presidentを務める。

講演者紹介：アニタ・ファロクネジャド 氏

学位	ロビラ・イ・ヴィルジリ大学でFEOLおよびデバイスモデリングを専門として博士号を取得
2021年	imecに研究開発エンジニアとして入社
2023年	PDK Enablementチームリーダー

担当・お問い合わせ
熊本大学 半導体・デジタル研究機構 総務人事担当
E-mail：szk-reisi@jimu.kumamoto-u.ac.jp

Kumamoto University